

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2003年 2月12日

出 願 番 号  
Application Number:

特願2003-033602

[ ST.10/C ]:

[ JP2003-033602 ]

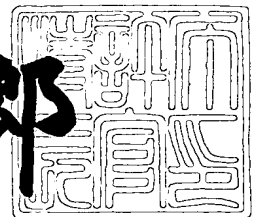
出 願 人  
Applicant(s):

三菱電機株式会社

2003年 3月 4日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3013383

【書類名】 特許願

【整理番号】 542386JP01

【提出日】 平成15年 2月12日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/08  
H01L 21/76  
H01L 29/78  
H01L 29/786

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 矢下 孝博

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100089118

【弁理士】

【氏名又は名称】 酒井 宏明

【手数料の表示】

【予納台帳番号】 036711

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 P 型の半導体基板と、前記 P 型の半導体基板上に形成した N 型エピタキシャル領域と、前記 N 型エピタキシャル領域を他の N 型エピタキシャル領域から分離する第 1 の P 型埋め込み層と、前記 N 型エピタキシャル領域内に形成された N ウエルと、前記 N ウエル内に形成されたドレイン領域と、前記 N ウエルと接合しないよう前記 N ウエルの側面部を囲む P ウエルと、前記 P ウエル内に形成されたソース領域と、前記ドレイン領域と前記ソース領域の上層部に形成されたゲートと、前記 N ウエルおよび前記 P ウエルの下部で、前記 P ウエルと接合し、前記 P 型の半導体基板および前記第 1 の P 型埋め込み層と接合しないよう形成された第 2 の P 型埋め込み層と、前記第 2 の P 型埋め込み層および前記 P 型の半導体基板と接合し、前記 P ウエル、前記 N ウエルおよび前記第 1 の P 型埋め込み層と接合しないよう形成された N 型の埋め込み層と、からなる N チャンネル MOS トランジスタで構成される半導体装置において、

前記 N 型エピタキシャル領域、前記 P 型の半導体基板および前記第 1 の P 型埋め込み層は接地電位に接続されていることを特徴とする半導体装置。

【請求項 2】 前記 N 型エピタキシャル領域と前記接地電位の間は、前記 N 型エピタキシャル領域に電源電位を供給することが可能な接続とすることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 モータドライバであるインバータを構成するスイッチング素子を N チャンネル MOS トランジスタにて構成したことを特徴とする請求項 1 または 2 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は半導体装置に関するものであり、特に、例えばモータのドライバ IC の出力トランジスタに関するものである。

【0002】

## 【従来の技術】

近年、半導体装置は高密度で高性能を達成するため、ますます複雑な構造となる傾向にある。そのため、複雑な構造の半導体装置は様々な寄生トランジスタ等の寄生素子を形成することとなり、この寄生トランジスタ等が半導体装置の動作に悪影響を及ぼすことがある。

## 【0003】

例えば、外来サージなどにより半導体装置の回路にトリガが入力されると、半導体装置の回路中に発生する寄生のサイリスタがターンオンし、過大な電流が流れ続けるラッチアップ現象が引き起こされる場合がある。具体的には、モータなどのドライバインバータIC等に用いる三相下側アームにおける下側駆動用出力トランジスタにおいてはトランジスタのスイッチング時にモータ駆動コイルに起因する逆起電力が発生し、不要な負電位が生起するため、ラッチアップ現象が深刻な問題となる。

## 【0004】

半導体装置のうちMOS (Metal Oxide Semiconductor) トランジスタ構造に着目した場合、MOSトランジスタ内に次のような寄生のトランジスタが形成される。例えばNチャンネルMOSトランジスタ（以下、NMOSという）の場合、NMOSのドレイン領域を形成するNウェルとこのNウェルの直下でP型のシリコン基板上に形成されるN型の埋め込み層、P型のシリコン基板、このNMOSとは分離した位置に形成されたN型のシリコン層で形成される島領域がそれぞれエミッタ、ベース、コレクタとして機能する寄生のNPNトランジスタを構成する。そして、例えばエミッタであるドレインに負の電圧が印加されると寄生のNPNトランジスタが動作してN型のシリコン層で形成される他の島領域から電流を引き出すこととなる。この引き出し電流が大きいと、NPNトランジスタが半導体装置の誤動作を招くこととなる。その上、このようにして発生した寄生のNPNトランジスタとこの他の場所で発生した寄生のPNPトランジスタが寄生サイリスタ構造を形成すると、外来サージ等によりサイリスタがターンオンしてラッチアップ現象を引き起こし、最悪の場合半導体装置の素子を熱破壊させることとなる。

## 【 0 0 0 5 】

また従来のMOSトランジスタとしては、フルアイソレーションタイプのMOSトランジスタも使われている。例えば、このフルアイソレーションタイプのNチャンネルMOSトランジスタ（以下、NMOSという）の場合は、P型のシリコン基板上に形成したN型のエピタキシャル領域をP型の分離領域により分離して複数の島領域を形成し、各島領域にNMOSを形成している。各島領域はN型のエピタキシャル領域で構成されており、N型のエピタキシャル領域内は、Nウエル内に形成されたドレイン領域とPウエル内に形成されたソース領域さらにゲート等で構成され、Nウエルの周囲（側面部）はPウエルで囲むよう構成されている。NウエルとPウエルの直下にはNウエルおよびPウエルと接合するようP型の埋め込み層が形成され、NウエルをPウエルとP型の埋め込み層で囲んでいる。さらに、P型の埋め込み層の直下でP型のシリコン基板の上部にはN型の埋め込み層が形成され、島領域の最外周側面部に位置するN型のエピタキシャル領域と接合されており、PウエルとP型の埋め込み層をN型のエピタキシャル領域とN型の埋め込み層で囲んでいる。このように、NウエルとN+埋め込み領域の間をP+埋め込み領域で遮断した構造となっているので、NウエルおよびN+埋め込み層をエミッタ、P型のシリコン基板をベース、他の島領域のうちのN型のシリコン層で形成される部分をコレクタとする寄生のNPNトランジスタの発生を防止し、他の島領域から電流を引き抜くことを防止している。

## 【 0 0 0 6 】

また、従来の特許文献1に記載のBiCMOSトランジスタは、次のような構造を有している。すなわち、P型のシリコン基板上に形成したN型のエピタキシャル領域をP+型の分離領域により分離して複数の島領域を形成し、各島領域にPチャンネルMOSFET（以下、PMOSという）およびNPNバイポーラトランジスタを形成している。さらに、PMOSトランジスタのソースとドレインが形成されるN型のエピタキシャル領域の周囲（側面部）をP+導出領域で囲むとともに、PMOSトランジスタの下部にはP+導出領域と接合するようP+埋め込み領域を形成しており、PMOSをP+導出領域とP+埋め込み領域で囲んでいる。そして、P+導出領域とP+埋め込み領域が形成されているN型のエピ

タキシャル領域の周囲（側面部）をN＋導出領域で囲むとともに、P＋埋め込み領域の下部にはN＋導出領域およびP＋埋め込み領域と接合するようN＋埋め込み領域を形成している。このようにしてP＋導出領域とP＋埋め込み領域をN＋導出領域とN＋埋め込み領域で囲む領域を形成する。このPMOSにあっては別の島領域にはNPNバイポーラトランジスタを形成し、BiCMOSを構成している。そして、P＋導出領域を接地電位（GND）に接続し、N＋導出領域を電源電位に接続している。このような構成のBiCMOSでは、寄生のNPNトランジスタが発生することを防止している。

【0007】

【特許文献1】

特開平10-107168号公報（第3、4頁）

【0008】

【発明が解決しようとする課題】

しかしながら、上記従来のフルアイソレーションタイプのMOSトランジスタによれば、Nウェル直下のドレイン領域が例えば負電位に陥った場合、P型のシリコン基板、N＋埋め込み層、P型の埋め込み層、Nウェルからなる寄生PNPNサイリスタがターンオンしてラッチアップが避けられないという事態が生ずるおそれがある。

【0009】

また、上記特許文献1に記載の従来技術によれば、PMOSとNPNトランジスタから構成されるBiCMOSで発生する寄生のNPNトランジスタには発生は防止できるが、寄生のサイリスタの発生を防止することはできない。

【0010】

この発明は上記に鑑みてなされたものであって、寄生のサイリスタの発生を防止する、半導体装置を得ることを目的とする。

【0011】

【課題を解決するための手段】

上述した課題を解決し、目的を達成するために、本発明にかかる半導体装置にあっては、P型の半導体基板と、前記P型の半導体基板上に形成したN型エピタ

キシャル領域と、前記N型エピタキシャル領域を他のN型エピタキシャル領域から分離する第1のP型埋め込み層と、前記N型エピタキシャル領域内に形成されたNウエルと、前記Nウエル内に形成されたドレイン領域と、前記Nウエルと接合しないよう前記Nウエルの側面部を囲むPウエルと、前記Pウエル内に形成されたソース領域と、前記ドレイン領域と前記ソース領域の上層部に形成されたゲートと、前記Nウエルおよび前記Pウエルの下部で、前記Pウエルと接合し、前記P型の半導体基板および前記第1のP型埋め込み層と接合しないよう形成された第2のP型埋め込み層と、前記第2のP型埋め込み層および前記P型の半導体基板と接合し、前記Pウエル、前記Nウエルおよび前記第1のP型埋め込み層と接合しないよう形成されたN型の埋め込み層と、からなるNチャンネルMOSトランジスタで構成される半導体装置において、前記N型エピタキシャル領域、前記P型の半導体基板および前記第1のP型埋め込み層は、接地電位に接続されていることを特徴とする。

#### 【0012】

この発明によれば、トータムポール出力形式の下側駆動用出力トランジスタに用いることができる半導体装置が、フルアイソレーションタイプのNMOS構造を備え、NMOSのN型エピタキシャル領域を接地電位に接続したので、寄生のサイリスタの発生を防止することができる。

#### 【0013】

#### 【発明の実施の形態】

以下に添付図面を参照して、この発明にかかる半導体装置の好適な実施の形態を詳細に説明する。なお、この実施の形態によりこの発明が限定されるものではない。

#### 【0014】

#### 実施の形態1.

図1～3に従ってこの発明の実施の形態1について説明する。図1はこの発明の説明に先立ってインバータのスイッチング素子としての出力トランジスタが用いられるIC回路構成の一例を示す図である。このIC回路はモータなどのソレノイド負荷を駆動するドライバの回路であり、モータ本体30、モータ本体30

を駆動させるよう制御するモータ駆動 IC 部 9 0 およびモータ駆動電源 2 0 となる。

#### 【 0 0 1 5 】

モータ駆動 IC 部 9 0 は、三相電圧型インバータ回路で構成されており、各トランジスタは三相の上下アームからなる 6 個のスイッチングトランジスタからなる。モータ駆動電源端子 4 0 は、上側駆動用トランジスタである 3 つの N チャンネル MOS (Metal Oxide Semiconductor) トランジスタ (以下、NMOS という) のドレイン側の電極と電氣的に接続されており、モータ電源 2 0 から供給される電圧は、モータ駆動用端子 4 0 を介して上側駆動用の NMOS 1 0 ~ 1 2 のドレインに供給される。NMOS 1 0 ~ 1 2 のソース側電極はそれぞれモータ出力端子 2 1 ~ 2 3 に接続され、モータ出力端子 2 1 ~ 2 3 はそれぞれモータ本体 3 0 内にあるモータ駆動コイル 3 1 ~ 3 3 に接続されている。さらに、モータ出力端子 2 1 ~ 2 3 は下側駆動用のトランジスタである 3 つの NMOS 1 3 ~ 1 5 のドレイン側の電極と電氣的に接続されており、モータ駆動コイル 3 1 ~ 3 3 からの電圧はモータ駆動端子 2 1 ~ 2 3 を介して下側駆動用の NMOS 1 3 ~ 1 5 のドレインに供給される。そして、下側駆動用の NMOS 1 3 ~ 1 5 のソース側電極はそれぞれモータグランド端子 4 1 を介してグランドに接続されている。

#### 【 0 0 1 6 】

次に図 1 に示すこの回路の動作について説明する。例えばあるタイミングで NMOS 1 0, 1 2, 1 4 をオンにし、NMOS 1 1, 1 3, 1 5 をオフにする場合について考える。このタイミングでは、NMOS 1 0、モータ出力端子 2 1、モータ 3 0、モータ出力端子 2 2、NMOS 1 4 の順で電流が流れているため、モータ出力端子 2 1 とモータ出力端子 2 2 の間の電圧は、モータ駆動電源からの電圧がモータ出力端子 2 1 をプラスの極として現れる。また、NMOS 1 2、モータ出力端子 2 3、モータ 3 0、モータ出力端子 2 2、NMOS 1 4 の順で電流が流れているため、モータ出力端子 2 2 とモータ出力端子 2 3 の間の電圧は、モータ駆動電源からの電圧がモータ出力端子 2 2 をマイナスの極として現れる。さらに、モータ出力端子 2 1 とモータ出力端子 2 3 はともにモータ駆動電源のプラ



ス側に接続されているので短絡され、モータ出力端子 2 2 とモータ出力端子 2 3 の間の電圧は現れない。このように 6 つの NMOS 1 0 ~ 1 5 を所定のタイミングでオンまたはオフにしていくことでモータ出力端子 2 1 ~ 2 3 の各線間電圧は正負の極性をもち、6 つのモードで 1 周期の波となる。そして、モータ出力端子 2 1 ~ 2 3 の各線間電圧は  $120^\circ$  の位相差をもった三相交流となる。さらに PWM 制御を用いて出力電圧のパルス数、パルス間隔、パルス幅等を制御して等価的に正弦波を作り出している。

## 【 0 0 1 7 】

この正弦波を利用してモータが駆動されているが、各 NMOS 1 0 ~ 1 5 のスイッチング時には、モータ駆動コイル 2 1 ~ 2 3 によって逆起電力発生する。

## 【 0 0 1 8 】

そして、例えば前述の従来技術の説明において述べたように、下側駆動用出力トランジスタのドレイン領域に負電圧が印加されてしまう。

## 【 0 0 1 9 】

図 2 は、例えば負電圧発生に伴う寄生トランジスタの弊害を防止する回路例であり、この発明の実施の形態 1 にかかる NMOS 1 3 a の断面構造と回路図を模式的に表した図である。ここでは図 1 において示した下側駆動用の NMOS 1 3 ~ 1 5 のうちの 1 つとして例えば NMOS 1 3 a について示している。この発明の実施の形態 1 にかかる NMOS 1 3 a は、P 型のシリコン基板（以下、P-SUB という）5 0 上に N-エピタキシャル領域 5 3 a, 5 3 b, 5 3 c を形成している。NMOS 1 3 a のドレイン 6 1 は N ウエル内に形成された N+拡散層上に電極を取っている。また、NMOS 1 3 a のソース 6 2 は P ウエル内に形成された N+拡散層および P+拡散層上に電極を取っている。そして、これらのドレイン 6 1、ソース 6 2 はゲート 6 0 とともに NMOS 1 3 a を構成しており、ゲート 6 0 直下の P+拡散層と P ウエルがこの NMOS のチャンネル領域（バックゲート部分）となる。

## 【 0 0 2 0 】

また、N ウエルの側面部は N-エピタキシャル領域 5 3 c によって囲まれ、N ウエルの側面部は N-エピタキシャル領域 5 3 c を介して P ウエルによって囲む

よう構成している。

【 0 0 2 1 】

また、ドレイン 6 1 の形成されている N ウエルとソース 6 2 の形成されている P ウエルの下部には P 型の埋め込み層 5 2 が、N ウエルおよび P ウエルと接続するよう形成されている。したがって、NMOS 1 3 a の N ウエルは、これと逆導電型のシリコン層で形成される P ウエルと P 型の埋め込み層 5 2 で取り囲まれるような構造となっている。なお、前述のフルアイソレーションはこの取り囲みによるアイソレーションを指す。

【 0 0 2 2 】

さらに、P 型の埋め込み層 5 2 の下部には N 型の埋め込み層である N + 埋め込み層 5 1 が、P 型の埋め込み層 5 2 と接合するよう形成されている。ドレイン 6 1 の形成されていない側で P ウエルの外側には N 型のシリコン層である N - エピタキシャル領域 5 3 a, 5 3 b が P ウエル、P 型の埋め込み層 5 2 および N + 埋め込み層 5 1 と接合されるよう形成されている。

【 0 0 2 3 】

これにより、P ウエルと P 型の埋め込み層 5 2 は N + 埋め込み層 5 1 と N - エピタキシャル領域 5 3 a, 5 3 b によって囲まれた構造となっている。

【 0 0 2 4 】

また、N - エピタキシャル領域 5 3 a, 5 3 b の外側で NMOS 1 3 a のソース 6 2、ドレイン 6 1、ゲート 6 0 等が形成されていない側の外側に配置している P 型の埋め込み層 5 4 a, 5 4 b は素子分離のための層で、これにより 1 つの島領域を形成している。なお、P 型の埋め込み層 5 4 a, 5 4 b は接地電位である GND 7 0 に接続されている。

【 0 0 2 5 】

そしてこの実施の形態 1 では、N - エピタキシャル領域 5 3 a をメタル配線などにより GND 7 0 に接続しており、これにより N - エピタキシャル領域 5 3 a の電位が GND 7 0 の電位とほぼ同じ値となる。

【 0 0 2 6 】

ここで、この実施の形態 1 における NMOS の構成と従来用いられていた NM

OSの構成の差異を明確にするため、従来用いられていたNMOSの構成についての問題点を説明する。図3はN-エピタキシャル領域53aがGND70に接続されていない場合のNMOS13bの構造を示した図である。ここで、図1のNMOS10～15のスイッチング時に、モータ駆動コイル31～33によって逆起電力が発生し、モータ出力端子22を介して下側駆動用出力トランジスタのNMOS13～15のドレイン電極へ負の起電力を発生させるタイミングがある。

#### 【0027】

このように例えばNMOS13bのドレイン61に大きな負電圧が印加されると、ドレイン61の下部にあるNウェルをエミッタ、P型の埋め込み層52をベース、N+埋め込み層51をコレクタとする寄生のNPNトランジスタ80と、P型の埋め込み層52をコレクタ、N+埋め込み層51をベース、P-SUB50をエミッタとする寄生のPNPトランジスタ81が形成され、この寄生のNPNトランジスタ80と寄生のPNPトランジスタ81によって寄生のサイリスタが形成される。先述したように、NMOS13bのドレイン61に負電圧が印加されると、Nウェルの電位がP型の埋め込み層52の電位よりも低くなり寄生のNPNトランジスタ80においてエミッタの電位がベースの電位より低くなるため寄生のNPNトランジスタ80はオン状態になる。さらにこれによってN+埋め込み層51の電位がP-SUB50の電位より低くなり寄生のPNPトランジスタ81においてベースの電位がエミッタの電位より低くなるため寄生のPNPトランジスタ81はオン状態になる。さらに寄生のNPNトランジスタ80によって増幅されてコレクタ（P型の拡散層51）へ出力された電子は寄生のPNPトランジスタ81のベース（P型の拡散層51）として電子を注入させることになる。同様に寄生のPNPトランジスタ81によって増幅されてコレクタ（P型の拡散層51）へ出力された正孔は寄生のNPNトランジスタ80のベース（P型の拡散層51）として正孔を注入させることになる。このようにして寄生のPNPトランジスタ81はP-SUB50から大電流を引き抜くことになり、寄生のNPNトランジスタ80と寄生のPNPトランジスタ81の電流は流れ続けてラッチアップ現象が起こるため、熱破壊によって素子の接合が破壊されることと

なる。

【 0 0 2 8 】

一方、図 2 に戻り、この実施の形態 1 にかかる NMOS 1 3 a においては先述したように NMOS 1 3 a のドレイン 6 1 に大きな負電荷が印加された場合であっても、N-エピタキシャル領域 5 3 a が GND 7 0 に接続されているため、GND 7 0 に接続された N-エピタキシャル領域 5 3 a と N+埋め込み層 5 1 は GND 7 0 とほぼ同じ電位になり、さらに P-SUB 5 0 も GND 7 0 とほぼ同じ電位であるため N+埋め込み層 5 1 と P-SUB 5 0 の間には電位差がないものとみなせる。したがって、P型の埋め込み層 5 2 をコレクタ、N+埋め込み層 5 1 をベース、P-SUB 5 0 をエミッタとする寄生の PNP トランジスタは、エミッタとベースの間の電位差がないため動作しないこととなる。このため、図 2 において示した NMOS 1 3 a には、図 3 において示した NMOS 1 3 b のような寄生のサイリスタは発生せずラッチアップ現象は起こらないので、NMOS 1 3 a を構成する素子の熱破壊等を防止することができる。

【 0 0 2 9 】

なお、図 2 に示す NMOS 1 3 a の構造では、Nウエル、P型の埋め込み層 5 2、N+埋め込み層 5 1 によって寄生の NPN トランジスタを形成するが、この寄生の NPN トランジスタは N+埋め込み層 5 1 と同電位の P-SUB 5 0 から電流を引き抜くためドレイン 6 1 から負電圧によって NMOS 1 3 a を構成する素子の熱破壊等が引き起こされることはない。

【 0 0 3 0 】

このように実施の形態 1 によれば、N-エピタキシャル領域 5 3 a が GND 7 0 に接続されているため、N+埋め込み層 5 1 と P-SUB 5 0 の間には電位差がなくなる。したがって、P型の埋め込み層 5 2 をコレクタ、N+埋め込み層 5 1 をベース、P-SUB 5 0 をエミッタとする寄生の PNP トランジスタは動作しないため、寄生のサイリスタは発生せずラッチアップ現象は起こらず、NMOS 1 3 a を構成する素子の熱破壊等を防止することができる。

【 0 0 3 1 】

実施の形態 2.

図 4 を用いてこの発明の実施の形態 2 について説明する。図 4 はこの発明の実施の形態 2 にかかる NMOS 13c の断面構造と回路図を模式的に表した図であり、図 4 の各構成要素のうち図 1 ～図 3 に示す実施の形態 1 の NMOS 13a および NMOS 13b と同一機能を達成する構成要素については同一番号を付しており重複する説明は省略する。この発明の実施の形態 2 にかかる NMOS 13c では、ソース 62 と GND 70 の間に電流検出用抵抗などの素子を挿入することができるよう、N-エピタキシャル領域 53a をメタル配線等により任意の電源電位（以下、VM71 という）に接続させている。

#### 【0032】

図 4 に示した NMOS 13c において、NMOS 13c のドレイン 61 に大きな負電荷が印加された場合、N+埋め込み層 51 は N-エピタキシャル領域 53a を介して VM71 と電氣的に接続されているため、N+埋め込み層 51 の電位は接地電位に接続されている P-SUB 50 より高電位になり、N+埋め込み層 51 と P-SUB 50 で構成される寄生のダイオードは逆方向バイアスがかかった状態になる。このため、N+埋め込み層 51 から P-SUB 50 に電流が流れることはない。そして、VM71 から供給される電流は、N-エピタキシャル領域 53a、N+埋め込み層 51、P型の埋め込み層 52、Nウエルの順に流れていき、ドレイン 61 に流れることとなる。したがって、図 3 の NMOS 構造で示した寄生のサイリスタは発生せずラッチアップ現象は起こらないので、NMOS 13c を構成する素子の熱破壊を防止することができる。

#### 【0033】

さらに、電流検出用抵抗などの素子を図 1 における NMOS 27 のソース 62 と接地電位となっているモータグランド端子 41 の間に挿入した場合、P+拡散層と Pウエルからなるバックゲートの電位がモータグランド端子 41 の電位（接地電位）よりも高くなる。この場合において、N-エピタキシャル領域 53a が接地電位であったとすると、バックゲートを構成する Pウエルと N-エピタキシャル領域 53a で構成される寄生のダイオードは順方向のバイアスがかかった状態になり、Pウエルおよび P+拡散層から N-エピタキシャル領域 53a に電流が流れることになる。そして、この電流が半導体装置の誤動作を引き起こすこと

となる。一方、この発明の実施の形態 2 にかかる NMOS 13c によれば、N-エピタキシャル領域 53a が電源電位に接続されているので、バックゲートを構成する P ウエルと N-エピタキシャル領域 53a で構成される寄生のダイオードは逆方向のバイアスがかかった状態になり、N-エピタキシャル領域 53a から P ウエルおよび P+拡散層に電流が流れないこととなる。したがって、ソース 62 とモータグランド端子 41 の間に電流検出用抵抗等の素子を挿入しても NMOS 13c は誤動作を起こすことはない。なお、N-エピタキシャル領域 53a の拡散抵抗等による VM71 の電位の低下を無視すれば、VM71 の電位はバックゲートの電位と同じ又はそれ以上であればよい。

## 【0034】

このように実施の形態 2 によれば、N-エピタキシャル領域 53a が VM71 に接続されているため、N+埋め込み層 51 の電位は接地電位に接続されている P-SUB 50 より高電位になり、N+埋め込み層 51 から P-SUB 50 に電流が流れることはない。したがって、P 型の埋め込み層 52 をコレクタ、N+埋め込み層 51 をベース、P-SUB 50 をエミッタとする寄生の PNP トランジスタは動作しないため、寄生のサイリスタは発生せずラッチアップ現象は起こらず、NMOS 13c を構成する素子の熱破壊を防止することができる。さらに、N-エピタキシャル領域 53a が電源電位に接続されているので、バックゲートを構成する P ウエルと N-エピタキシャル領域 53a で構成される寄生のダイオードは逆方向のバイアスがかかった状態になり、N-エピタキシャル領域 53a と P ウエルおよび P+拡散層の間に電流が流れないこととなる。したがって、ソース 62 とモータグランド端子 41 の間に電流検出用抵抗等の素子を挿入しても NMOS 13c は誤動作を起こすことはないという効果を奏する。

## 【0035】

## 【発明の効果】

以上説明したとおり、この発明によれば、トータムボール出力形式の下側駆動用出力トランジスタに用いることができる半導体装置がフルアイソレーションタイプの NMOS 構造を備え、NMOS の N 型エピタキシャル領域を接地電位に接続したので、寄生のサイリスタの発生を防止することができる。これによって、

P型のシリコン基板から大電流を引き抜くラッチアップ現象の発生を防止することができ、半導体装置の熱破壊を防止することが可能となる。

【図面の簡単な説明】

【図 1】 この発明にかかる出力トランジスタが用いられる回路構成の概略を示した図である。

【図 2】 図 2 はこの発明の実施の形態 1 にかかる NMOS の断面構造と回路図を模式的に表した図である。

【図 3】 図 3 は N-エピタキシャル領域が接地電位に接地されていない場合の NMOS の断面構造と回路図を模式的に表した図である。

【図 4】 図 4 はこの発明の実施の形態 2 にかかる NMOS の断面構造と回路図を模式的に表した図である。

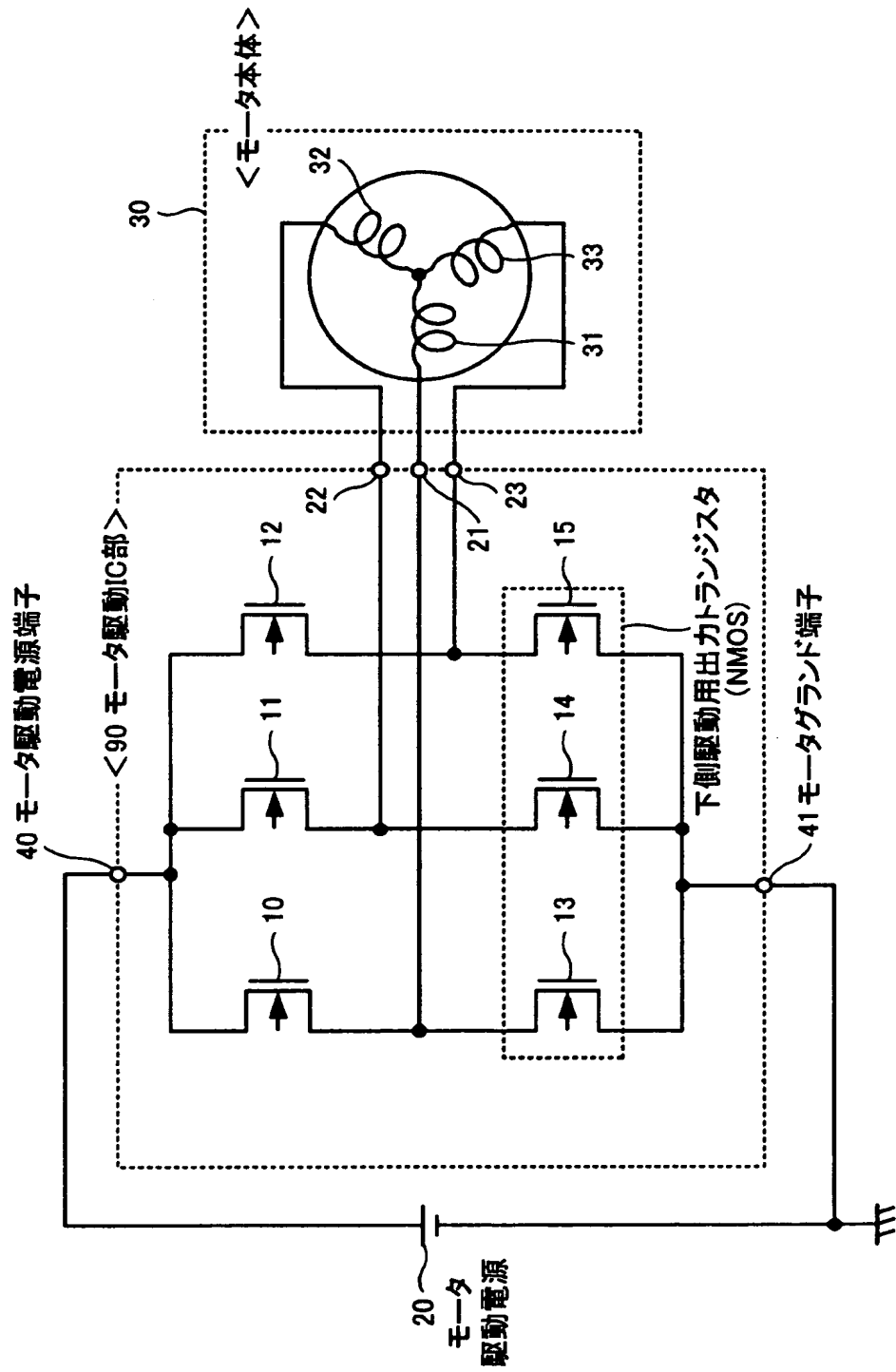
【符号の説明】

1 0 ～ 1 5 NMOS、2 0 モータ駆動電源、2 1 ～ 2 3 モータ出力端子、3 0 モータ本体、3 1 ～ 3 3 モータ駆動コイル、4 0 モータ駆動電源端子、4 1 モータグランド端子、5 0 P-SUB、5 1 N+埋め込み層、5 2, 5 4 a, 5 4 b P型埋め込み層、5 3 a, 5 3 b, 5 3 c N-エピタキシャル領域、6 0 ゲート、6 1 ドレイン、6 2 ソース、7 0 接地電位 (GND)、7 1 電源電位 (VM)、8 0 寄生 NPN トランジスタ、8 1 寄生 PNP トランジスタ、9 0 モータ駆動 IC 部。

【書類名】

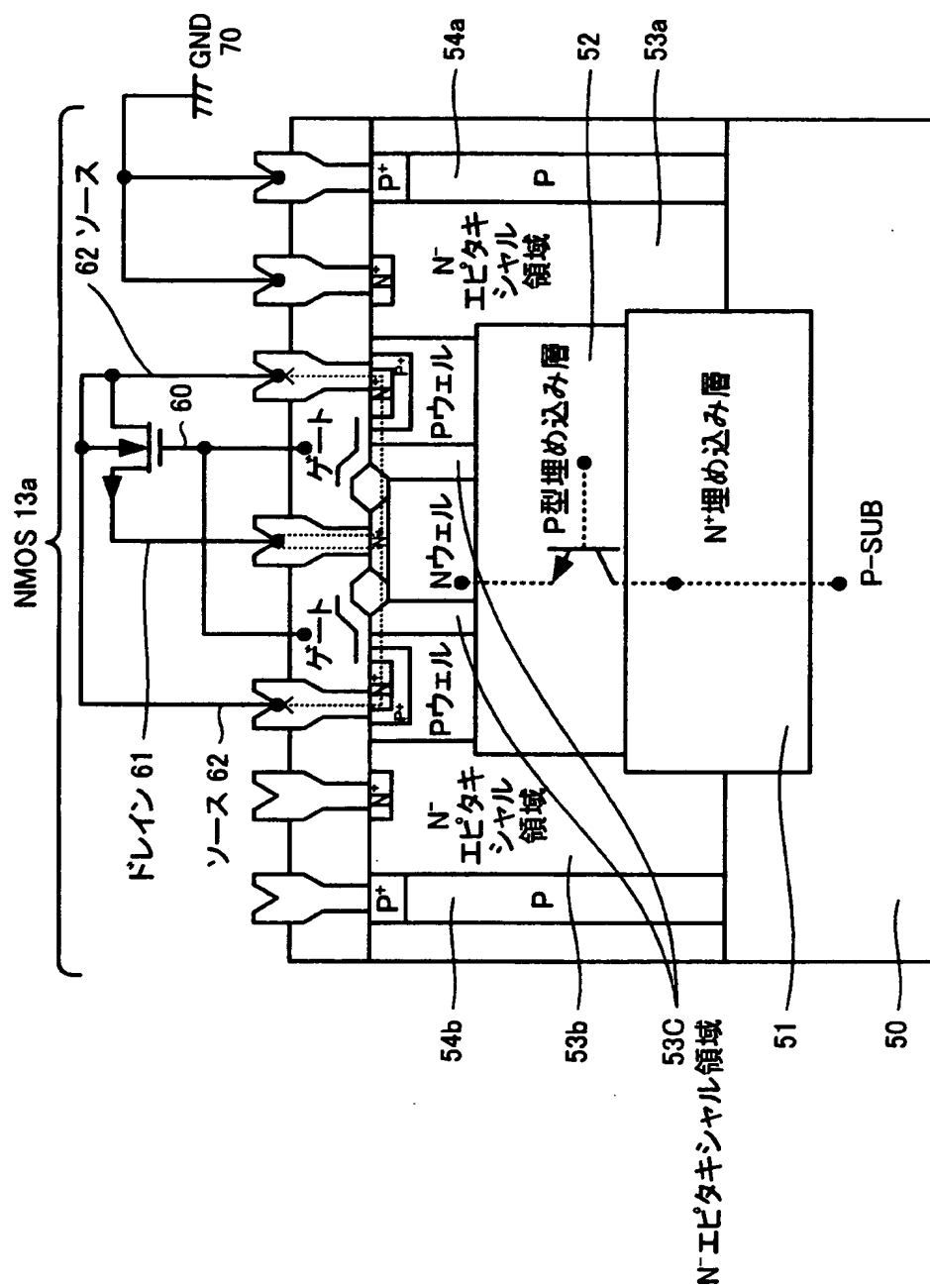
図面

【図 1】

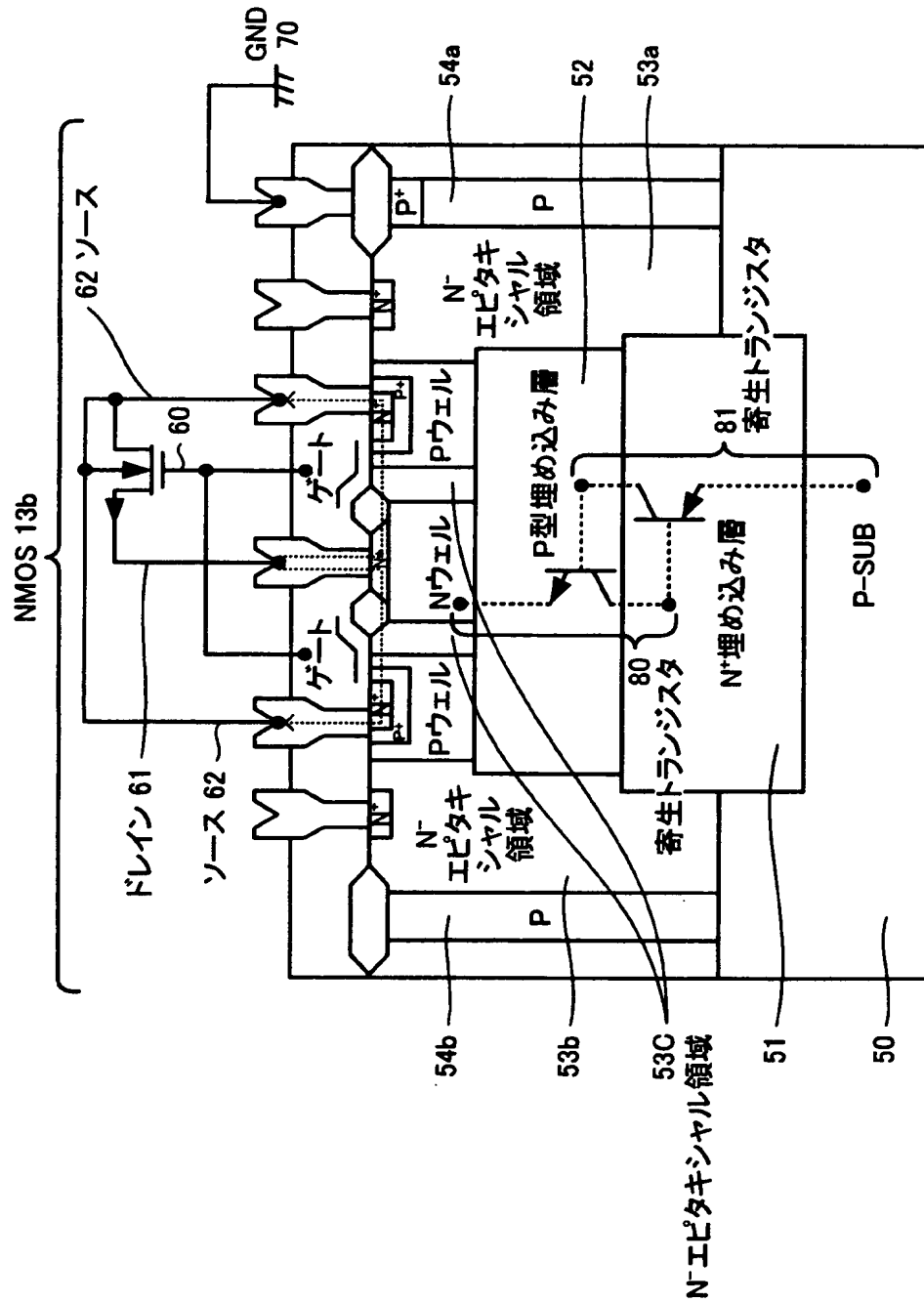




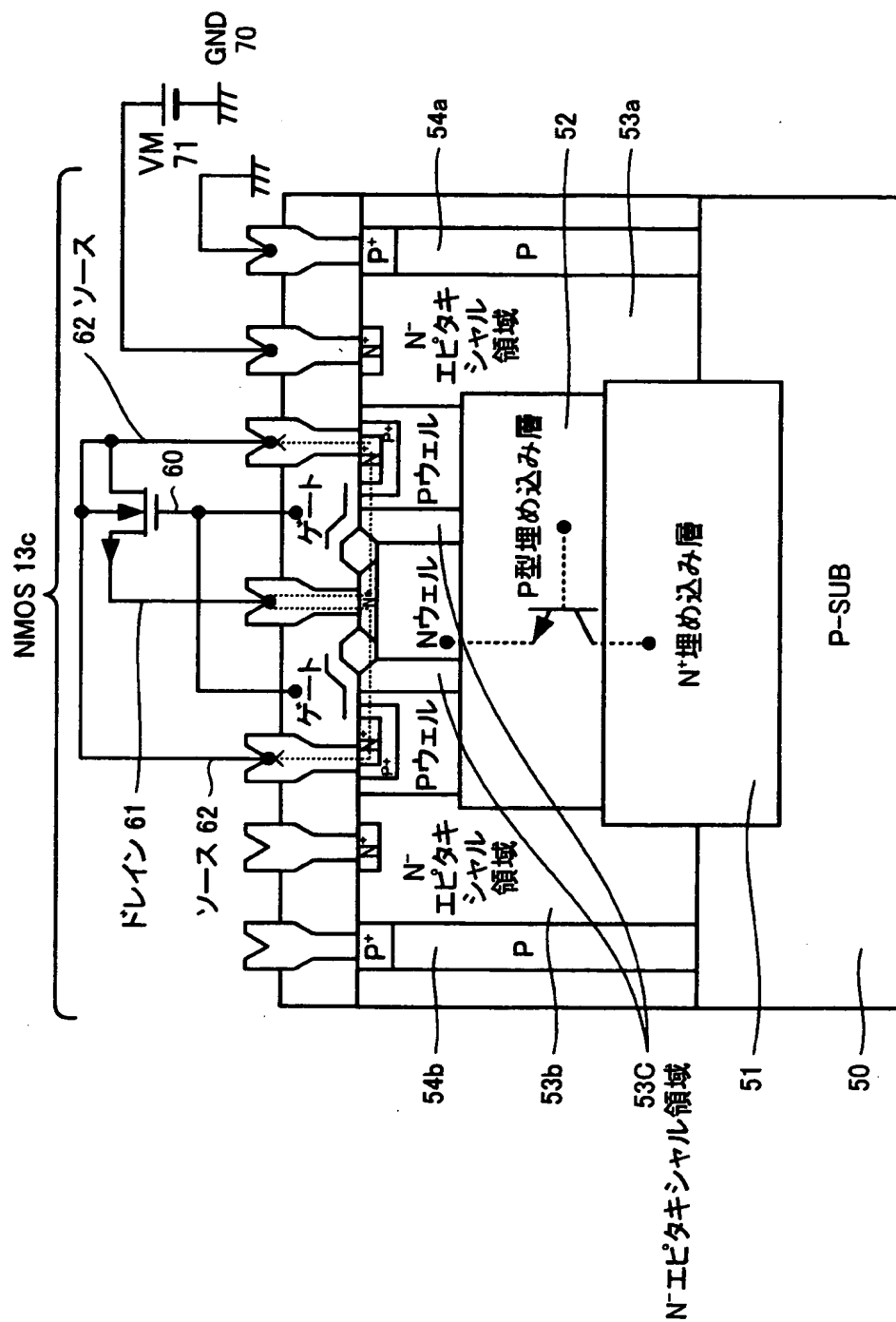
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 寄生のサイリスタの発生を防止する、半導体装置を得ること。

【解決手段】 P-SUB50上に形成したN-エピタキシャル領域53を他のN-エピタキシャル領域から分離するP型埋め込み層54と、N-エピタキシャル領域53内でNウェル内に形成されたドレイン61と、Nウェルと接合しないようNウェルの側面部を囲むPウェル内に形成されたソース62と、ドレイン61とソース62の上層部に形成されたゲート60と、NウェルおよびPウェルの下部で、Pウェルと接合するよう形成されたP型埋め込み層52と、P型埋め込み層52およびP-SUB50と接合するよう形成されたN+埋め込み層51とからなるNチャンネルMOSトランジスタで構成される半導体装置において、N-エピタキシャル領域53、P-SUB50およびP型埋め込み層54を接地電位に接続する。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 6 0 1 3 ]

1. 変更年月日	1 9 9 0 年 8 月 2 4 日
[変更理由]	新規登録
住 所	東京都千代田区丸の内 2 丁目 2 番 3 号
氏 名	三菱電機株式会社